

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 58064064  
PUBLICATION DATE : 16-04-83

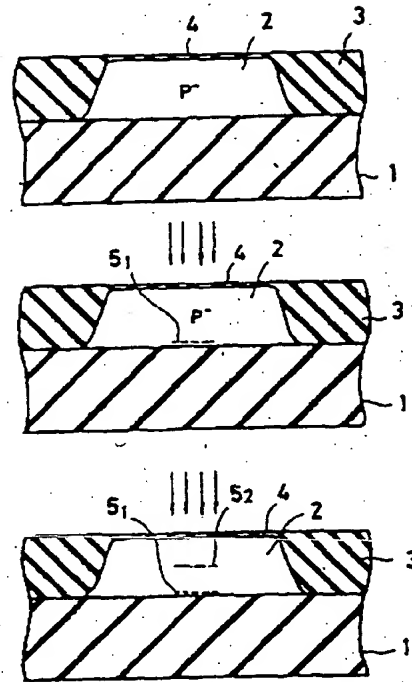
APPLICATION DATE : 14-10-81  
APPLICATION NUMBER : 56163609

APPLICANT : TOSHIBA CORP;

INVENTOR : KIMURA MINORU;

INT.CL. : H01L 27/12 H01L 21/265 H01L 21/86  
H01L 29/78

TITLE : MANUFACTURE OF  
SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To perform highly reliable and high speed operation of a semiconductor device by microminiaturizing an element relative to the formation of an element with a semiconductor layer on an insulating substrate and particularly preventing the production of a back channel upon shortcircuiting of a channel, improving a punch through withstand voltage and further controlling the threshold value.

CONSTITUTION: First boron ion implantation is performed to provide a peak value in the vicinity of a boundary between a sapphire substrate 1 and a silicon layer 2, thereby preventing the inversion of the layer 2 due to the stationary charge of the boundary and preventing the production of a back channel current of the channel region. Second boron ion implantation is performed to provide a peak at the intermediate of the channel region of the layer 2, thereby forming a high density layer in the range existing a depletion layer produced when a drain voltage is applied. Accordingly, a punch through withstand voltage can be improved. Further, third boron ion implantation is performed to provide a peak value at the layer 2 in the boundary of the film 4, thereby readily controlling the threshold value voltage.

COPYRIGHT: (C)1983,JPO&Japio

⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開  
昭58—64064

⑫ Int. Cl.<sup>3</sup>  
H 01 L 27/12  
21/265  
21/86  
29/78

識別記号

庁内整理番号  
8122—5F  
6851—5F  
7739—5F  
7377—5F

⑬ 公開 昭和58年(1983)4月16日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ 半導体装置の製造方法

⑮ 特 願 昭56—163609  
⑯ 出 願 昭56(1981)10月14日  
⑰ 発 明 者 木村実  
川崎市幸区小向東芝町1番地東

京芝浦電気株式会社総合研究所  
内

⑱ 出 願 人 東京芝浦電気株式会社  
川崎市幸区堀川町72番地  
⑲ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

絶縁基板上的の第1導電型の半導体層を素子分離する工程と、分離された島状の半導体層に絶縁膜を形成する工程と、第1導電型の不純物を前記基板と少なくともチャンネル領域予定部の半導体層部分との界面近傍にピーク値をもつようにイオン注入する工程と、第1導電型の不純物を少なくともチャンネル領域予定部の半導体層の中間にピーク値をもつようにイオン注入する工程と、第1導電型の不純物を少なくともチャンネル領域予定部の半導体層の表面近傍にピーク値をもつようにイオン注入する工程とを具備したことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

本発明は絶縁基板上的の半導体層に素子等が形成された半導体装置の製造方法に関する。

この種の半導体装置としては、例えば88

(Silicon On Sapphire)構造の半導体装置が知られている。近年、半導体装置における素子の微細化、高集積化は目ざましく、808構造の半導体装置についても同様である。しかし、素子の微細化に伴って例えばMOSトランジスタのゲート長はより短く、ゲート絶縁膜はより薄くなる傾向にある。これらは素子の電気特性に影響を与え、例えば閾値電圧をより小さくさせる。従って、素子特性を変化させず、素子の微細化を達成するには、チャンネル領域の不純物濃度を、ゲート長及びゲート絶縁膜のスケーリングに見合っただけ高くする必要がある。しかし、チャンネル領域中の不純物濃度を高くすることは、必然的にチャンネル領域内にできる空乏層幅を減少させる。

一方、808構造の半導体装置においては、絶縁基板上にエピタキシャル成長させるシリコン層の厚さを薄くすると、シリコン層中のキャリア移動度は著しく低下することが知られており、シリコン層の厚さはこうした面からも制

限される。従って、SOS構造の半導体装置を微細化しようとする、チャンネル領域の空乏層は絶縁基板と、シリコン層の界面近傍まで十分に延びない事態が起こる。また、シリコン層の薄層化が制限されることにより、いわゆるスケーリング則が適用されない部分としてソース、ドレイン領域の拡散深さがある。即ち、スケーリング則によればゲート長、ゲート絶縁膜がスケーリングされれば、ソース、ドレイン領域の拡散深さも同じ割合だけ短くスケーリングされる必要がある。しかし、SOS構造においてはソース、ドレイン領域が絶縁基板まで到達しないと、チャンネル領域とソース、ドレイン領域との接合面積が急激に増し、その間で容量が増大するため、SOS構造の長所の一つである高速性が損なわれる。

また、SOS構造の半導体装置の微細化に伴ってソース、ドレイン領域間のパンテスルー現象がある。パンテスルー現象は微細化を図りつつ電極電圧を規制せずに動作せよとするとた

めにかかる問題である。SOS構造のトランジスタにおいては、既述の如くソース、ドレイン領域の不純物拡散長がスケーリング則による場合に比べて長くなるため、そのパンテスルーの程度は大きくなる。

更に、SOS構造の半導体装置の固有問題として、絶縁基板とシリコン層の界面に存在する固有電荷のために、界面付近のシリコン層が反転し、ここを通してソース、ドレイン領域間に電流が流れる、いわゆるバックチャンネル電流が存在するという問題があった。

本発明は上記種々の問題点を解消するためになされたもので、素子の微細化、特にチャンネルのショート化に伴なりバックチャンネル電流の発生を防止し、パンテスルー耐圧の向上、更には閾値を制御し、高信頼性、高速動作化を達成し得る半導体装置の製造方法を提供しようとするものである。

次に、本発明をチャンネルMOSトランジスタの製造に適用した例について第1図～第6図

を参照して説明する。

(i) まず、サファイア基板1上に例えば0.6  $\mu\text{m}$ のp型単結晶シリコン層2をエピタキシャル成長させてSOSウェハを作製した(第1図図示)。つづいて、例えば選択酸化法によりシリコン層2にフィールド酸化膜3を形成した後、熱処理を施してフィールド酸化膜3で分離された島状のシリコン層2上に例えば厚さ300～500Åのゲート酸化膜4を形成した(第2図図示)。

(ii) 次に、レジストパターン(図示せず)をマスクとしてサファイア基板1とチャンネル領域予定部のシリコン層2部分との界面近傍に不純物濃度のピーク $\delta_1$ をもつように例えばボロンを加速電圧210K $\times$ V、ドーズ量 $10^{12}/\text{cm}^2$ の条件で1回目のイオン注入を行なった(第3図図示)。つづいて、前記レジストパターンをマスクとしてチャンネル領域予定部のシリコン層2部分の中間に不純物濃度のピーク $\delta_2$ をもつように例えばボロンを加速電圧100K $\times$ V、ドーズ量 $10^{12}/\text{cm}^2$ の条件で2回目のイオン注入を行なっ

た(第4図図示)。更に、レジストパターンをマスクとしてチャンネル領域予定部のシリコン層2部分とゲート酸化膜4の界面近傍に不純物濃度のピーク $\delta_3$ をもつように例えばボロンを加速電圧80K $\times$ V、ドーズ量 $10^{11}/\text{cm}^2$ の条件で3回目をイオン注入を行なった(第5図図示)。その後、常法に従ってチャンネル領域予定部上のゲート酸化膜4上に例えば不純物ドーパ多結晶シリコンからなるゲート電極6を選択的に形成し、このゲート電極6及びフィールド酸化膜3をマスクとして例えば砒素をイオン注入し、活性化してn<sup>+</sup>型のソース、ドレイン領域7、8を形成した後、全面にCVD-SiO<sub>2</sub>膜9、及びリン添加ガラス膜(PSG膜)10を順次堆積し、コンタクトホールの開孔、ソース、ドレイン取出しA、B配線11、12の形成を経て、チャンネルMOSトランジスタを製造した。  
(第6図図示)

しかし、本発明方法によればサファイア基板1とシリコン層2の界面近傍にピーク値をもつように1回目のボロニオン注入を行なうと

とによって、該界面の固定チャージによるシリコン層2の反転を防止でき、チャンネル領域のバックチャンネル電流の発生を阻止できる。また、シリコン層2のチャンネル領域の中間にピークをもつように2回目のボロンイオン注入を行なうことによって、ドレイン電圧を印加した際に生じる空乏層の存在する範囲に高濃度層を形成できるため、パンチスルー耐圧を向上できる。更に、ゲート絶縁膜4界面のシリコン層2にピーク値をもつように3回目のボロンイオン注入を行なうことによって、閾値電圧を容易に制御できる。したがって、チャンネル長のショート化によるバックチャンネル電流の発生を防止し、パンチスルー耐圧を向上でき、更に閾値電圧の制御できるため、高信頼性、高速性、高集積度のMOSトランジスタを得ることができ

る。なお、上記実施例では絶縁基板としてサファイアを用いるが、これに限定されずスピネル、 $\text{SiO}_2$ 等の絶縁基板、或いは $\text{SiO}_2$ -多結晶シリコ

ン等の多層構造の絶縁基板を用いてもよい。

上記実施例ではサファイア基板の界面、中間層、ゲート絶縁膜の界面のシリコン層に順次ピークをもつようにイオン注入したが、これらの順序はいずれが先に行なってもよい。

本発明に係る半導体装置の製造はnチャンネルMOSトランジスタに限定されず、pチャンネルMOSトランジスタ、相補型MOSトランジスタ等にも同様に適用できる。

以上詳述した如く、本発明によれば素子の微細化、特にチャンネルのショート化に伴なうバックチャンネル電流の発生を防止し、パンチスルー耐圧を向上し、更には閾値を制御することによって、高集積化、高信頼性、並びに高速動作化を達成し得る半導体装置の製造方法を提供できるものである。

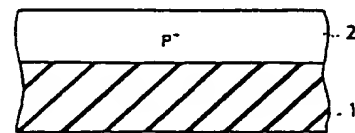
#### 4. 図面の簡単な説明

第1図～第6図は本発明の実施例におけるSOS構造のnチャンネルMOSトランジスタの製造を示す工程断面図である。

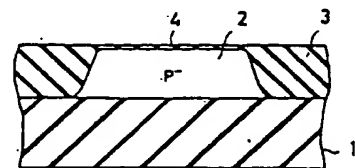
1…サファイア基板、2…単結晶シリコン層、3…フィールド酸化膜、4…ゲート酸化膜、 $S_1$ 、 $S_2$ 、 $S_3$ …ボロンの濃度ピーク、6…ゲート電極、7… $n^+$ 型ソース領域、8… $n^+$ 型ドレイン領域、11、12…A/A'配線。

出願人代理人 弁理士 鈴 江 武 彦

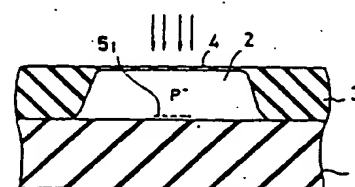
第1図



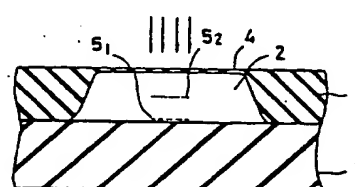
第2図



第3図

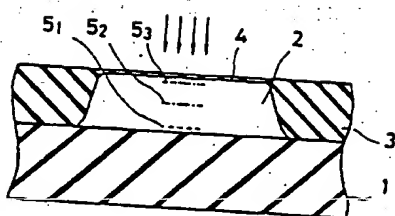


第4図



特開昭53-64064(4)

第 5 図



第 6 図

